

SELF-CHECKING METHOD FOR IMAGE SENSOR AND IMAGE READER

Publication number: JP10322513 (A)

Publication date: 1998-12-04

Inventor(s): OSOZAWA NORIYOSHI; HASEGAWA SHIZUO;
TAKAHASHI TADASHI

Applicant(s): CANON KK

Classification:

- **international:** *H04N1/028; H04N1/19; H04N1/028; H04N1/19; (IPC1-7): H04N1/028; H04N1/19*

- **European:**

Application number: JP19970131005 19970521

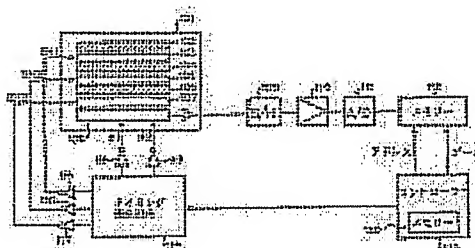
Priority number(s): JP19970131005 19970521

Abstract of JP 10322513 (A)

PROBLEM TO BE SOLVED: To self-check an image sensor by providing a first driving pattern for successively adding and reading electric charges stored in the plural photoelectric conversion element train of a TDI structure and a second driving pattern for performing the read of a

different addition ratio and judging the normal/ defective condition of the operation of respective photoelectric conversion elements based on image data read corresponding to a timing.

SOLUTION: The image sensor 101 is provided with the TDI(time delay integration) structure of 3 lines, successively adds the electric charges stored in the photoelectric conversion element trains 102, 104 and 106 to the electric charges transferred synchronized with the relative movement of an original, reads them to a transfer register, converts them to digital data and stores them in a memory 112.; At the time of a maintenance service, a checking mode is attained, a controller 113 instructs a timing generation circuit 114, performs read from the image sensor 101, obtains the output ratio of the respective photoelectric conversion element trains from the image data stored in the memory 112, compares it with reference data held in the memory 120 and judges the operation.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-322513

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

H 0 4 N 1/028
1/19

識別記号

F I

H 0 4 N 1/028
1/04

Z
1 0 3 Z

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平9-131005

(22) 出願日 平成9年(1997)5月21日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 遅澤 憲良

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 長谷川 静男

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 高橋 匡

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

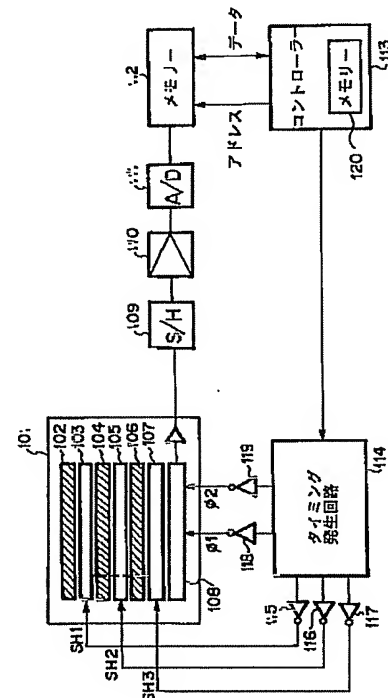
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 イメージセンサーのセルフチェック方法と画像読み取り装置

(57) 【要約】

【課題】 イメージセンサーの後発的なトラブルの早期発見と、迅速な原因の特定を課題とし、特にTDI構造を有するイメージセンサーのTDI動作のチェックを課題とする。

【解決手段】 TDI構造を有するイメージセンサーのセルフチェック方法であって、TDI構造を構成する複数の光電変換素子列で蓄積された電荷を、順次加算して読み出す第1の駆動パターンと、加算比の異なる読み出し行う第2の駆動パターンとを有するタイミング発生手段と、画像データを蓄積するメモリー手段と、前記メモリー手段に蓄積された画像データから各光電変換素子の感度比を求めTDI構造の動作の良否を判定する判定手段とを有することを特徴とする。



【特許請求の範囲】

【請求項1】 画像を読み取るイメージセンサーのセルフチェック方法であって、
TDI構造を構成する複数の光電変換素子列で蓄積された電荷を、順次加算して読み出す第1の駆動パターンと、加算比の異なる読み出しを行う第2の駆動パターンとを持つタイミング発生手段と、
前記タイミング発生手段からのタイミングに従って読み出された画像データを蓄積するメモリー手段と、
前記メモリー手段に蓄積された画像データに基づいて各光電変換素子の感度比を求め前記光電変換素子の動作の良否を判定する判定手段と、を有することを特徴とするイメージセンサーのセルフチェック方法。

【請求項2】 イメージセンサーのセルフチェック方法であって、
TDI構造を構成する複数の光電変換素子列で蓄積された電荷を、順次加算して読み出す第1の駆動パターンと、加算比の異なる読み出しを行う第2の駆動パターンとを持つタイミング発生手段と、
前記タイミング発生手段からのタイミングに従って読み出された画像データを蓄積するメモリー手段と、
前記メモリー手段に蓄積された画像データに基づいて各光電変換素子の感度比を求め前記光電変換素子列の加算動作の良否を判定する判定手段と、を有することを特徴とするイメージセンサーのセルフチェック方法。

【請求項3】 請求項1又は2に記載のイメージセンサーのセルフチェック方法を用いたことを特徴とする画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理装置に置けるイメージセンサーのチェック方法に関するもので、特にTDI (Time Delay Integration) 構造を有するイメージセンサーのTDI動作のチェックに関するものである。

【0002】

【従来の技術】近年、画像表示による表現が多方面に亘って求められており、複写機、ファクシミリ、OCR (Optical Character Reader)、オブティカルスキャナー等を用いて、対象画像を読み取り、画像信号を他の媒体に転換することが行われている。このような種々の機器に用いられて、1次元、又は2次元の画像を読み取るものにイメージセンサーがある。

【0003】ここで、イメージセンサーを用いた画像処理装置として、デジタル複写機の構成例を、図7に示して説明する。図において、2001はイメージセンサーの一種のCCDラインセンサーで、タイミング発生回路2012で発生される駆動パターンによりドライバー2011で駆動される。

【0004】原稿画像は、CCDラインセンサー200

1で電気信号として読み取られ、サンプルホールド回路2002、信号レベル制御用のゲインコントロールアンプ2003、DCレベル調整用のクランプ回路2004を経由した後、AD変換器2005でデジタルデータへと変換される。

【0005】変換されたデジタルデータは、ラインメモリー2007を用いたシェーディング補正回路2006でシェーディング補正が行われる。シェーディング補正は図示していない光学系の配光ムラやCCDラインセンサー2001の感度ばらつきを補正するもので、予め光学的各素子のバラツキに応じた画像信号をラインメモリー2007に格納しておき、現実の画像信号についてそのバラツキ等を消去するように動作する。ラインメモリー2007は汎用品を外付けする場合やゲートアレイとして内蔵する場合もある。

【0006】シェーディング補正されたデジタルデータは、マスキング補正回路2008で表示装置の特性に合致する γ 補正等の色空間補正が行われた後、画像処理回路2009でページメモリー2010を用いて、変倍、回転、移動などの画像処理が行われる。

【0007】また、2014、2015は具体的な基板分割構成を示し、2014をアナログプロセッサ基板、2015をデジタルプロセッサ基板とする。

【0008】タイミング発生回路2012、シェーディング補正回路2006、マスキング補正回路2008、画像処理回路2009の各機能は、ゲートアレイやASICとして実現され、それらはCPU2013のCPUバスによって制御されるのが一般的である。

【0009】また、ゲインコントロールアンプ2003、クランプ回路2004等のアナログ回路もCPU2013によって制御される。

【0010】アナログプロセッサ基板2014とデジタルプロセッサ基板2015間の制御信号を減らす理由から、CPU2013のポートを用いてシリアルデータを転送する方法が用いられている。また基板構成によっては、CPUバスを用いた制御方式も有り得る。

【0011】以上のような従来構成において、製造工程上のセット搭載の際、製造出荷時点、販売時点、その稼働中の修理時点等の各時点で、各構成の動作をチェックする方法として、次ぎに示す方法が知られている。

【0012】(1)メモリーチェック

ラインメモリー2007、ページメモリー2010、その他ASICに内蔵されたメモリーにデータの書き込み、読みだしを行い、各メモリーセルのエラーチェックを行う。

【0013】(2)テストパターンによる回路チェック
メモリーチェック終了後、各メモリーセルにテストパターンを書き込み、メモリーセル以降の回路の動作チェックを行う。

【0014】(3)基板チェック

多ピン化、狭ピッチ化するASICの実装状態をチェックするために、基板上の全てのASIC入出力にチェックパッドを設け、それらをシリアルに接続することで配線、実装をチェックする。

【0015】いずれの場合も、この動作チェックには、主にデジタル回路を対象としている。

【0016】

【発明が解決しようとする課題】従来のセルフチェック方法では、アナログプロセッサ基板、特にイメージセンサー単体のチェックは行われていなかった。したがって、イメージセンサーが原因となるトラブルが発生した場合、原因の特定が困難という問題があった。

【0017】また、一般にイメージセンサーは、電気部品としては非常に高価であり、さらに装置組立の際に光学的に高精度な調整が必要になるなど、コスト、サービスの面で市場の対応が非常に困難であった。

【0018】本発明は、イメージセンサーの後発的なトラブルの早期発見と、迅速な原因の特定を目的とし、特にTDI構造を有するイメージセンサーのTDI動作のチェックに関するものである。

【0019】

【課題を解決するための手段】本発明は、イメージセンサーのセルフチェック方法であって、TDI構造を構成する複数の光電変換素子列で蓄積された電荷を、順次加算して読み出す第1の駆動パターンと、加算比の異なる読み出しを行う第2の駆動パターンとを持つタイミング発生手段と、前記タイミング発生手段からのタイミングに従って読み出された画像データを蓄積するメモリ手段と、前記メモリ手段に蓄積された画像データに基づいて各光電変換素子の感度比を求め前記光電変換素子の動作の良否を判定する判定手段と、を有することを特徴とする。この特徴により、光電変換素子そのものに不良が生じているのかどうかを正確に検出できる。

【0020】また、イメージセンサーのセルフチェック方法であって、TDI構造を構成する複数の光電変換素子列で蓄積された電荷を、順次加算して読み出す第1の駆動パターンと、加算比の異なる読み出しを行う第2の駆動パターンとを持つタイミング発生手段と、前記タイミング発生回路からのタイミングに従って読み出された画像データを蓄積するメモリ手段と、前記メモリ手段に蓄積された画像データに基づいて各光電変換素子の感度比を求め前記光電変換素子列の動作の良否を判定する判定手段と、を有することを特徴とする。この特徴により、光電変換素子列のいずれかに不良が生じているのかどうかを正確に検出できる。

【0021】

【発明の実施の形態】

【第1実施形態】図1から図3は本発明の第1の実施形態についてその構成と動作を説明する図面である。

【0022】図1は、画像処理装置の回路ブロック図で

ある。図において、画像処理装置は、TDI構造のイメージセンサー101と、イメージセンサー101から読み出された各画素素子毎の素子電荷をサンプルしてホールドするサンプルホールド回路109と、ホールドされた画像信号を所定レベルに制御して増幅するAGC回路等のゲインコントロールアンプ110と、この画像信号をデジタルに変換するADコンバータ111と、デジタル画像信号データを蓄積するラインメモリ等のメモリ112とから構成される。メモリ112に蓄積された画像信号データは、この後シェーディング補正回路でシェーディング補正され、マスキング補正回路で表示装置の特性にマッチした γ 補正等が施され、画像処理回路に供される。これらの動作は、従来の技術で説明した図2と同様である。

【0023】コントローラ113はメモリ112に対し書き込み・読み出しのアドレスを与え、データの読み書きを行い、セルフチェックの際には、メモリ112を用いたチェックを行う。ここに示しているメモリ112は、ASICなどに内蔵されるメモリであってもよいし、ダイナミックでもスタティックであってもよく、イメージセンサー101で読み出した画像信号を一時的に蓄積できれば、ラインメモリばかりでなく、複数ラインの画像信号を蓄積できてもよい。また、コントローラ113とメモリ112との通信方法はこれに限定されるものではない。

【0024】コントローラ113に内蔵するメモリ120は、後述のイメージセンサー101の各光電変換素子列間の感度比を記憶しておくためのメモリであり、キャッシュメモリ等の高速書き込み読み出しできる記憶手段が好ましい。

【0025】タイミング発生回路114はイメージセンサー101を駆動するタイミングパターンと、配線を図示していないが、サンプルホールド回路109、ADコンバータ111などの駆動パルスを発生し、基本タイミングはコントローラ113から供給される。

【0026】また、115～119はイメージセンサー101を駆動するためのドライバーであり、図上インバータで表示している。

【0027】本実施形態において、イメージセンサー101は、3ラインのTDI構造を有し、3本の光電変換素子列102、104、106で蓄積された電荷が、画像を読み取られる原稿の相対的な移動に同期して、転送されてきた電荷と加算され、水平駆動パルス $\phi 1$ 、 $\phi 2$ によって、2相駆動される転送レジスタ108で読み出される。

【0028】また、符号103、105、107は、各光電変換素子列102、104、106と転送レジスタ108間の電荷転送を制御するゲートであり、ドライバー115、116、117の出力のそれぞれパルスSH1、SH2、SH3によって制御される。さらにゲート

103, 105は光電変換素子列1列分のバッファ機能を持つ。又、ゲート107は素子列106から転送レジスタ108への電荷の移動を行う。

【0029】《通常時の動作》図2は、通常状態に於けるイメージセンサー101の動作を説明する説明図である。図示しない光源によりイメージセンサー101には、均一な光が照射されており、各ステップにおいて素子列102, 104, 106には同じ光の電荷が発生する。動作原理を簡単に説明するために、イメージセンサー101の当初の電荷"0"の状態からの電荷の蓄積状態を説明する。図2上段は、説明上の各ステップと、パルスSH1, SH2, SH3と、転送レジスタ108の出力の各状態を示している。

【0030】ゲートパルスSH3はゲート107を次のように制御する。ゲートパルスSH3がLレベルのとき光電変換素子列106から転送レジスタ108への電荷移動は行われない。ゲートパルスSH3がHレベルのとき光電変換素子列106に蓄積された電荷を転送レジスタ108に転送する。

【0031】ゲートパルスSH2はゲート105を次のように制御する。ゲートパルスSH2がLレベルのとき光電変換素子列104とゲート105の間、ゲート105と光電変換素子列106の間での電荷の転送は行われない。ゲートパルスSH2がHレベルのときゲート105の持つ1ライン分のバッファに蓄積されていた電荷が光電変換素子列106に移動される。その後、光電変換素子列104からゲート105のバッファに光電変換素子列104で蓄積された電荷が移動する。

【0032】図8を用いて詳細に説明する。図8は図1のイメージセンサー上に点線で示される部分の断面の電位ポテンシャルの遷移を表す図である。図8において、ゲート105はゲート1051~1053の3つのゲートからなり、それぞれ独立に制御される。801は光電変換素子列104に蓄積されている電荷を、802はゲート105のバッファに蓄積されている電荷である。また、図8(2)~(4)が前述したゲート105から光電変換素子列106への電荷移動と、それに続く光電変換素子列104からゲート105への電荷移動を表す図である。

【0033】図8(2)では、ゲート1051~1053のそれぞれの電位ポテンシャルは、Hi, Hi, Lレベルにあり、電荷802はゲート105から光電変換素子列106に移動する。次に、図8(3)では、ゲート1051~1053の電位ポテンシャルは、Lo, Lo, Hiレベルとなり、空になってゲート105に光電変換素子列104から電荷801が移動する。この際、光電変換素子列106に移動した電荷802は、ゲート1053によって逆流が防止されている。つぎに、図8(4)では、ゲート1051~1053の電位ポテンシャルは、Hi, Hi, Hiレベルとなり、電荷移動が完

了する。

【0034】図2において、動作説明をさらに続ける。ステップ1において、光電変換素子列102, 104, 106に電荷1に相当する電荷が発生する。ゲート103, 105及び転送レジスタ108の電荷は、"0"を出力する(図2・ステップ1)。

【0035】さらに、ステップ1で光電変換素子列102, 104, 106に発生した電荷は、ステップ2で、それぞれゲート103, 105、及びゲート107を介して転送レジスタ108に転送される。ゲート103, 105では電荷蓄積は行われないので、電荷量は共に"1"、転送レジスタ108からは"1"が出力される(図2・ステップ2)。

【0036】ゲート103, 105内の電荷は、それぞれ光電変換素子列104, 106に転送され、新たな電荷1が加算される(ここでは0→1となる)(図2・ステップ3~ステップ6)。

【0037】上記動作が繰り返され、ステップ6で出力には電荷3が現れる(図2・ステップ7以降)。従って、ステップ6以降には、転送レジスタ108の出力には電荷"3"が定常的に現れる。

【0038】《セルフチェック時の動作》図3は、イメージセンサー101のセルフチェック時における各ステップの駆動パルスの駆動パターンと各部の電荷量等を示すタイミング図である。

【0039】(図3・ステップ1)光電変換素子列102, 104, 106に電荷"1"を発生する。

【0040】(図3・ステップ2)ゲートパルスSH3がonするので、光電変換素子列106の電荷が転送レジスタ108へ転送され、出力される。

【0041】ゲートパルスSH1, SH2はoffなので光電変換素子列102, 104では電荷の移動は行われないまま、新たな電荷"1"が加算され、電荷量は"2"となる。

【0042】ゲート103, 105も同様に電荷の移動は行われない。ゲートでは電荷蓄積は行われないため、電荷量は変化しない。

【0043】(図3・ステップ3)ゲートパルスSH2, SH3がonするので、光電変換素子列104, 106の電荷"2"と"1"はそれぞれゲート105、転送レジスタ108に転送される。このゲート105では、電荷蓄積による加算は行われない(転送先のゲート、転送レジスタには光電変換機能はないため)。

【0044】ゲートパルスSH1はoffのままなので、光電変換素子列102、ゲート103はステップ2と同様な動作を行う。

【0045】(図3・ステップ4)ゲートパルスSH1, SH2, SH3が共にonするので、光電変換素子列102, 104, 106はそれぞれゲート103, 105、転送レジスタ108に転送される。

【0046】ゲート103, 105の電荷は光電変換素子列104, 106に転送され、新たな電荷"1"が加算される。

【0047】光電変換素子列102, 104, 106では電荷転送後、新たな電荷"1"が発生する。

【0048】以下、同様な動作を繰り返し、ステップ1

$$\begin{aligned} 104/106 &= (A-C)/C & \cdots (2-1)/1 = 1 \\ 102/106 &= (B-2A+C)/3C & \cdots (6-4+1)/3 = 1 \\ 106 &= C & \cdots 1 \end{aligned}$$

この値が、コントローラ113内のメモリ120に書き込まれ、リファレンスデータとなる。上記実施動作例では、2:6:1の繰り返し画像信号がメモリ120に格納されるが、リファレンスデータは、工場出荷時あるいはサービスメンテナンス時に書き込まれる。

【0051】このリファレンスデータが書き込まれた後には、TDI動作のセルフチェックは、電源投入時あるいは画像取り込み毎に以下の要領で行われる。

【0052】コントローラ113の指示により、タイミング発生回路114はチェックモードとなり、イメージセンサー101から読み取って、メモリ112に取り込まれた画像データから上記出力比を算出し、メモリ120に保持されているリファレンスデータと比較を行い、異常があればTDI動作不良と判断することができ、アナログ系の不良を検出できる。

【0053】メモリ120に保持されるデータは、比の値に限られるものではなく、例えば上記A, B, C(出力信号の絶対値)が保持されていてもよい。

【0054】また、イメージセンサー101の仕様に規定される感度比が固定データとして記憶されていてもよい。また、メモリ120に格納されたときの対象原稿とセルフチェック時の対象原稿とは一致させるほうがよく、特にメモリ120に出力信号の絶対値で格納した場合には、同一照度で同一原稿を用いたほうがよく、メモリ120に基準電荷に対する相対値の比で格納した場合には、同一色の原稿であれば、セルフチェックも容易である。

【0055】[実施形態2] 図4～図6は、4ラインTDI構造を持つイメージセンサーの場合の構成と動作を示すタイミングを示す図面である。

【0056】図4は4ラインTDI構造を持つイメージセンサーのブロック図である。図において、4本の光電変換素子列401, 403, 405, 407で原稿を読み取り、蓄積された1ライン分の電荷は、光電変換素子列401から下方に転送される毎に、各画素毎にそれぞれ加算され、ゲート408から転送された転送レジスタ409で、水平駆動パルスφ1, φ2によって、2相駆

動されて、時系列的に読み出される。通常、1ライン分を主走査方向で読み出し、次に副走査方向に原稿を相対的に移動して、エリア領域の画像を読みだす。

【0049】この出力レベルをA:B:C(=2:6:1)とすると、光電変換素子列102, 104, 106で蓄積される電荷の比は次のように表すことができる。

【0050】

$$\begin{aligned} \cdots (2-1)/1 &= 1 \\ \cdots (6-4+1)/3 &= 1 \\ \cdots 1 & \end{aligned}$$

動されて、時系列的に読み出される。通常、1ライン分を主走査方向で読み出し、次に副走査方向に原稿を相対的に移動して、エリア領域の画像を読みだす。

【0057】ここで、402, 404, 406, 408は各光電変換素子列401, 403, 405, 407と転送レジスタ409間の電荷転送を制御するゲートで、それぞれパルスSH1, SH2, SH3, SH4によって制御される。

【0058】ゲート402, 404, 406は光電変換素子列1列分のバッファ機能を持つ。

【0059】図5に通常状態に於けるタイミング図、図6にセルフチェック時のタイミング図を示す。

【0060】動作原理は3ラインTDIの場合と同様であり、図3, 図4に従って、転送レジスタ409から時系列的に画像信号が読み出され、その後、サンプルホールド回路、AGC回路を含むゲインコントロールアンプ、ADコンバータとを經由して、デジタル画像信号データを蓄積するラインメモリ等のメモリに格納される。ただし、製造出荷時等のリファレンスデータは、コントローラ内のメモリに格納されて、セルフチェック用の基準データとして用いられる。

【0061】通常動作時は、各光電変換素子列401, 403, 405, 407が正常に光電変換し、ゲート402, 404, 406, 408及び転送レジスタ409が正常に転送し、メモリに格納されるまでの各回路が正常に動作する限り、図5に示すように電荷量"4"の値が格納される。ただし、この場合、各画素の光電変換感度等が同一の場合の例示である。

【0062】セルフチェックの場合には、図6に示すように、最下段のゲートパルスSH4がonする毎にステップを変え、ゲートパルスSH3, 2, 1に順次onする時を増加し、このようなタイミングで転送して行けば、4ラインTDIの場合で、出力比はα:β:γ:δ(=10:2:1:3)となる。

【0063】これから、各光電変換素子列間の感度比は、次のように計算される。

【0064】

$$\begin{aligned} 405/407 &= (\beta-\gamma)/\gamma & \cdots (2-1)/1 = 1 \\ 403/407 &= (\delta-\beta)/\gamma & \cdots (3-2)/1 = 1 \\ 401/407 &= (\alpha+\beta+\gamma-3\delta)/4\gamma & \cdots (10+2+1-9)/4 = 1 \\ 407 &= \gamma & \cdots 1 \end{aligned}$$

この $\alpha : \beta : \gamma : \delta$ 又は10 : 2 : 1 : 3の値が、コントローラ内のメモリーに書き込まれ、リファレンスデータとなる。上記実施動作例では、10 : 2 : 1 : 3の繰り返し画像信号がメモリーに格納される。実際には、大略的にはかかる比率のデータでもよいが、更に細かな分解能でコントローラ内のメモリーに格納できれば、光電変換素子列401, 403, 405, 407の各画素の光電変換感度や電荷転送効率等で、繰り返しデータとはならず、メモリーに格納されるデータは1ライン分の各画素の電荷に応じたデータが格納され、これをリファレンスデータとすることができる。

【0065】リファレンスデータは、工場出荷時あるいはサービスマンテナンス時に書き込まれる。このリファレンスデータが書き込まれた後には、TDI動作のセルフチェックは、電源投入時あるいは画像取り込み毎に以下の要領で行われる。

【0066】また、コントローラの指示により、タイミング発生回路はチェックモードとなり、イメージセンサーから読み取って、リファレンスデータとは異なるアドレスでメモリーに取り込まれた画像データから上記出力比を算出し、メモリーに保持されているリファレンスデータと比較を行い、異常があればTDI動作不良と判断することができ、アナログ系の不良を検出できる。

【0067】また、リファレンス用メモリーに保持されるデータは、比の値に限られるものではなく、例えば上記 $\alpha : \beta : \gamma : \delta$ （出力信号の絶対値）が保持されていてもよい。

【0068】TDIのチェックを行う際の駆動パターンは実施形態に図示したものに限定されるわけではなく、イメージセンサーの構造に応じ最適な駆動パターンを設定する。

【0069】また、イメージセンサーの仕様に規定される感度比が固定データとして記憶されていてもよい。また、メモリーに格納されたときの対象原稿とセルフチェック時の対象原稿とは一致させるほうがよく、特にメモリーに出力信号の絶対値で格納した場合には、同一照度で同一原稿を用いたほうがよく、メモリーに基準電荷に対する相対値の比で格納した場合には、同一色の原稿であれば、セルフチェックも容易である。

【0070】

【発明の効果】以上説明したようにTDI構造を構成する複数の光電変換素子列間の感度比を求めることによって、TDI構造を有するイメージセンサーのTDI動作

チェックを必要に応じて随時行うことができる。

【図面の簡単な説明】

【図1】本発明による画像読取装置の概略ブロック図である。

【図2】本発明による画像読取装置に使用する3ラインTDIの通常状態の読み出しタイミング図である。

【図3】本発明による画像読取装置に使用する3ラインTDIのチェック時の読み出しタイミング図である。

【図4】本発明の画像読取装置に使用する4ラインTDIの概略ブロック図である。

【図5】本発明の画像読取装置に使用する4ラインTDIの通常状態の読み出しタイミング図である。

【図6】本発明の画像読取装置に使用する4ラインTDIのチェック時の読み出しタイミング図である。

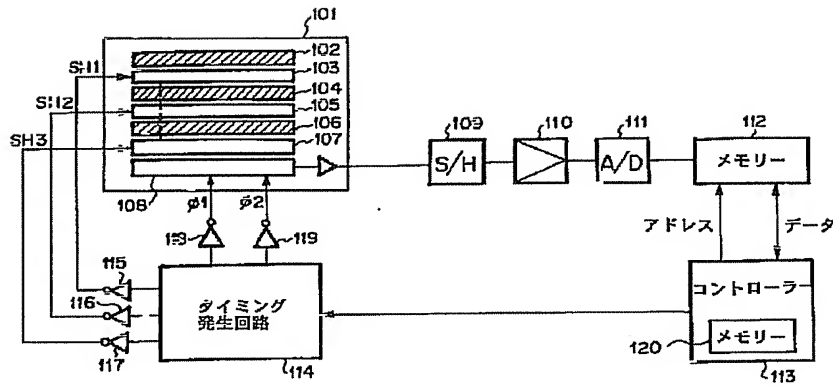
【図7】従来例による画像読取装置の概略ブロック図である。

【図8】本発明の画像読取装置に使用するTDIの動作原理を示す断面図である。

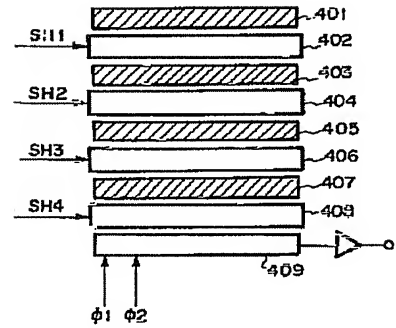
【符号の説明】

- 101 イメージセンサー
- 102, 104, 106, 401, 403, 405, 407 光電変換素子列
- 103, 105, 107, 402, 404, 406, 408 ゲート
- 1051, 1052, 1053 ゲート
- 108, 409 転送ゲート
- 109, 2002 サンプルホールド回路
- 110, 2003 バッファアンプ
- 111, 2005 A/D変換器
- 112, 2007 メモリー
- 113 コントローラ
- 114 タイミング発生回路
- 115, 116, 117 ドライバー
- 118, 119 ドライバー
- 2008 マスキング補正回路
- 2009 画像処理回路
- 2010 ページメモリー
- 2011 ドライバー
- 2012 タイミング発生部
- 2013 CPU
- 2014 アナログ信号処理部
- 2015 デジタル信号処理部
- 801, 802 蓄積電荷

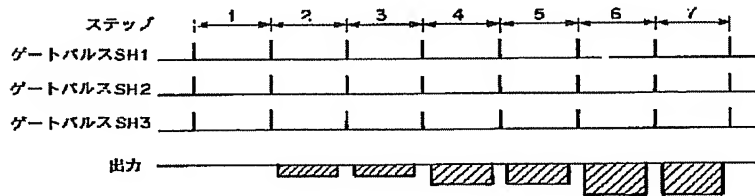
【図1】



【図4】

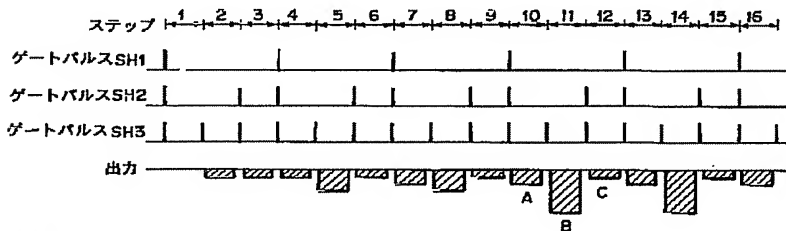


【図2】



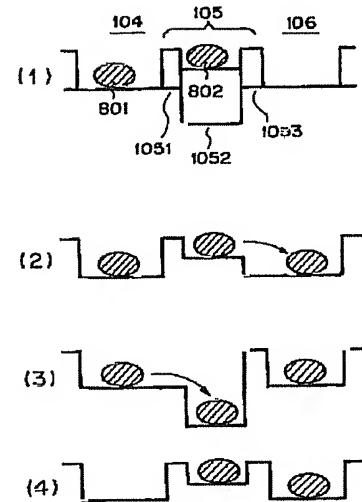
ステップ	1	2	3	4	5	6	7
ゲートパルスSH1							
ゲートパルスSH2							
ゲートパルスSH3							
出力							
光電変換素子列102	1	1	1	1	1	1	1
ゲート103	0	1	1	1	1	1	1
光電変換素子列104	1	+1	+1	2	2	2	+1
ゲート105	0	1	1	2	2	2	2
光電変換素子列106	1	+1	+1	2	+1	3	+1
転送レジスタ108	0	1	1	2	2	3	5

【図3】

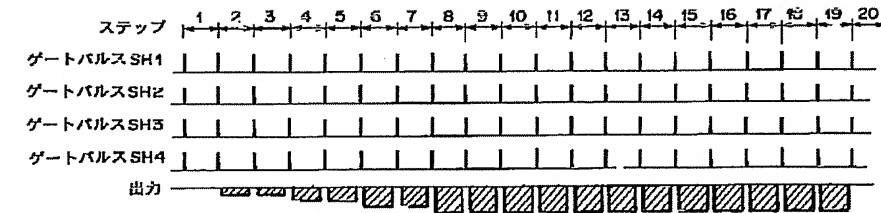


ステップ	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ゲートパルスSH1																
ゲートパルスSH2																
ゲートパルスSH3																
出力																
光電変換素子列102	1	+1	+1	+1	1	+1	+1	1	+1	+1	1	+1	+1	1	+1	+1
ゲート103	0	0	0	3	3	3	3	3	3	3	3	3	3	3	3	3
光電変換素子列104	1	+1	+1	+1	1	+1	+1	1	+1	+1	1	+1	+1	1	+1	+1
ゲート105	0	0	2	1	1	2	1	1	5	1	1	5	1	1	5	1
光電変換素子列106	1	1	1	3	1	2	3	1	2	6	1	2	6	1	2	6
転送レジスタ108	0	1	1	1	3	1	2	3	1	2	6	1	2	6	1	2

【図8】

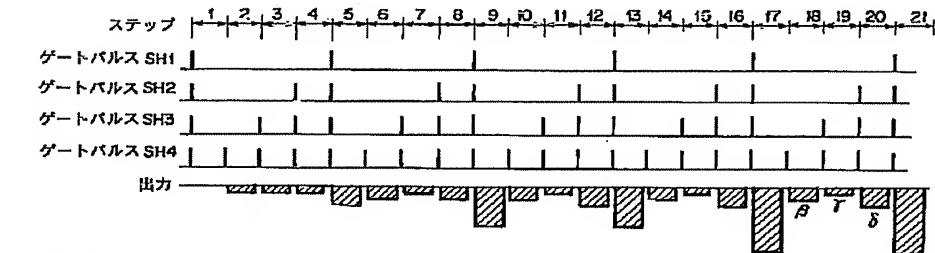


【図5】



光電変換素子列 401	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ゲート402	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
光電変換素子列 403	1	1	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
ゲート404	0	1	1	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
光電変換素子列 405	1	1	2	2	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
ゲート406	0	1	1	2	2	3	3	3	3	3	3	3	3	3	3	3	3	3	3
光電変換素子列 407	1	1	2	2	3	3	4	4	4	4	4	4	4	4	4	4	4	4	4
転送レジスタ 409	0	1	1	2	2	3	3	4	4	4	4	4	4	4	4	4	4	4	4

【図6】



光電変換素子列 401	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1
ゲート402	0	0	0	0	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
光電変換素子列 403	1	2	3	1	1	4	3	1	5	6	7	1	5	6	7	1	5	6	7	1	5
ゲート404	0	0	0	3	1	1	1	3	1	1	1	7	1	1	1	7	1	1	1	7	1
光電変換素子列 405	1	2	1	1	4	5	1	2	4	5	1	2	8	9	1	2	8	9	1	2	8
ゲート406	0	0	2	1	1	5	1	2	2	5	1	2	2	9	1	2	2	9	1	2	2
光電変換素子列 407	1	1	1	3	2	1	2	6	2	1	3	6	2	1	3	10	2	1	3	10	2
転送レジスタ 409	0	1	1	1	3	2	1	2	6	2	1	3	6	2	1	3	10	2	1	3	10

【図7】

